

三维电子封装铜硅通孔凸起机理的相场晶体法研究

刘金欣¹, 黄智恒^{1*}

1. 材料科学与工程学院, 中山大学, 广东省, 广州市

*邮箱: hzh29@mail.sysu.edu.cn

摘要

由热应力引起的铜硅通孔凸起是三维电子封装中重要的可靠性问题, 会影响到器件的功能和完整性。为研究铜硅通孔凸起的机理, 本文采用相场晶体法从原子尺度模拟重现硅通孔的凸起过程。在 COMSOL Multiphysics 基本模块中, 使用系数形式将相场晶体模型的高阶非线性偏微分方程进行降阶求解, 通过在模型中加入“惩罚项”对铜硅通孔施加载荷, 从而实现在原子尺度模拟铜硅通孔在外加载荷下的力学响应行为。仿真结果表明, 硅通孔在外加压缩载荷的作用下产生凸起现象, 同时观察到硅通孔内位错的滑移和攀移运动等现象。此外, 本文还使用扩散蠕变模型来解释铜硅通孔的凸起行为。

简介

由 Gordon Moore 提出的摩尔定律极大地促进了近 50 年来半导体制造业的发展, 器件尺寸不断缩小, 单一芯片上集成的器件密度在不断增大。但是, 由于器件尺寸不能无限制地缩小, 近些年摩尔定律已经面临着巨大的挑战, 半导体制造业正开始过渡到“超越摩尔”(More than Moore) 的三维集成[1]。比如, 2013 年发布的 iPhone5s 所使用的 A7 处理器, 就是典型三维集成形式——封装叠加封装 (Package on Package, PoP) [2]; 2015 年超微半导体公司 (AMD) 发布了采用微焊点 (microbumps) 和硅通孔 (Through-Silicon-Via, Cu-TSV) 三维集成技术的图形处理单元[3]。现阶段, 通过铜硅通孔将两个或多个硅晶片堆叠互连, 已经被认为是实现三维集成的一种关键技术[4]。然而, 使用铜硅通孔的大规模三维集成仍然处于初始发展阶段, 存在

大量的设计、工艺、检测和可靠性等问题需要解决[5]。其中, 被广泛关注且尚未有解决方案的可靠性问题之一是, 由于铜与硅的热膨胀系数相差较大, 在后端制程工艺 (BEOL, back-end-of-line) 或者电子器件在服役过程中, 会在铜硅通孔末端产生显著的界面剪切应力[6-7], 进而导致铜的凸起, 而一旦产生凸起, 就会严重影响到 BEOL 层的功能和完整性, 从而导致器件的失效[8]。

随着封装的尺寸不断减小, 已经有越来越多的研究者意识到材料微观结构对封装可靠性有决定性的影响。在现有工艺中, 铜硅通孔的直径已经缩减到几微米, 甚至是亚微米级别[4], 多晶铜的结构将会是硅通孔凸起的一个决定性因素。比如 H. Shin 和 X. Liu 等已大量使用同步辐射 X 射线微衍射来表征硅通孔的应变[9-10]; 而 T. Jiang 等使用背散射电子衍射 (EBSD) 来研究通孔中多晶铜的晶粒分布对铜凸起的影响[11-12]。然而, 工程上广泛应用的有限元热机械模拟手段在研究铜硅通孔的凸起行为时, 却发现模拟结果与已有的实验结果不符。例如, C. Okoro 等的研究发现, 当在研究凸起与硅通孔尺寸之间的关系时, 模拟的结果与实验所得到的结果是相悖的, 这是因为有限元热机械模拟未将多晶铜结构加以考虑[13]。根据 C. Okoro 等人提出的观点, 铜硅通孔的凸起可能是由位错运动导致的塑性变形、晶界迁移、晶界滑移以及高温蠕变等机制造成的[13]。因此, C. Okoro 等指出: 需要发展新的模拟方法来研究铜硅通孔的凸起行为, 新的模拟方法要能够将多晶铜的微观结构信息及其复杂的变形机制加以考虑[13]。本论文从此思路出发, 采用相场晶体法 (phase field crystal method, 下文简称 PFC) 模型, 从原子尺度来模拟

铜硅通孔在外加载荷下的力学响应行为。

理论

PFC 模型引入序参量代表原子的局部平均密度场，序参量则写成具有与晶体相同周期的平面波形式，通过序参量构造系统自由能泛函，基于对自由能泛函的变分就可以模拟材料微观结构演化的动力学过程[14]。下文简单介绍双模近似PFC模型，这一模型可以模拟铜面心立方的晶体结构[15]。双模近似 PFC 模型对应的序参量 ρ 应该写为[15]：

$$\rho = \bar{\rho} + A[\cos(qx) + \cos(qy)] + B \cos(qx) \cos(qy) \quad (1)$$

式中的 A 、 B 和 q 等都为常数，都可以通过自由能泛函最小化的方法得到，计算可得 $q = 1$ ，而参数 A 和 B 的计算结果可以参考[16]。对应的自由能泛函写为[15]：

$$F[\rho] = \int d\vec{r} \left\{ \frac{\rho}{2} [r + (\nabla^2 + 1)^2 (\nabla^2 + Q^2)^2] \rho + \frac{\rho^4}{4} \right\} \quad (2)$$

其中， $Q^2 = 2$ 。为了对硅通孔施加载荷，采用 P. Stefanovic 等提出的方法[17]，对系统的自由能泛函进行相应的修改，加入“惩罚项”来对样品施加应变，“惩罚项”的作用区域为硅通孔样品的边界：

$$F[\rho]' = F[\rho] + \int d\vec{r} M(\vec{r}) [\rho(\vec{r}, t) - \rho(\vec{r}(\vec{v}, t), t)] \quad (3)$$

其中， $M(\vec{r})$ 控制“惩罚项”的作用区域，只有在作用区域内 $M(\vec{r})$ 才不等于零，在这些特定的区域内，原子会在能量最小化原则的驱动下，随着 $\rho(\vec{r}(\vec{v}, t), t)$ 所给定的应变速率与方向 \vec{v} 对样品施加应变，使样品发生变形。本文中使用的参数具体设置为： $(r, \bar{\rho}, A, B, |\vec{v}|) = (-1, 0.59, -0.31, -0.14, 1 \times 10^{-3})$ 。此外，本文中的时间和长度都是无量纲形式。最后，基于对自由能泛函的一阶变分，模型的控制方程形式写为：

$$\frac{\partial \rho}{\partial t} = \nabla^2 \frac{\delta F'}{\delta \rho} \quad (4)$$

数值模型

在使用 COMSOL Multiphysics 建立 PFC 模型时，我们采用的是基本模块，即 Mathematica 模块里面的 PDE Interfaces，而对应的方程形式选择系数形式 (Coefficient Form PDE)。

本文所建立的是二维模型，硅通孔为梯形硅通孔，具体的尺寸如图 1 所示，注意图中的长度都是无量纲的长度。由于 PFC 模型的动力学方程 (4) 为高阶非线性偏微分方程，在求解时，需要对方程进行降阶求解。具体的方程设置如图 2a 所示。

硅通孔的边界条件是根据所施加载荷所决定的，即通过 P. Stefanovic “惩罚项”的方法，施加“收缩边界条件”或“拉伸边界条件”，详细设置在下文进一步说明。整个模型分为 3 个求解过程进行，依次求解样品凝固的过程，样品达到平衡过程，对样品施加载荷的过程，如图 2b 所示。模型的初始条件是通过通过在硅通孔中放置具有不同取向的晶核，晶核的表达式由式 (1) 给出，硅通孔其余区域则设置为均匀液相，在一定的过冷度 r 下，求解控制方程 (4)，系统将会发生凝固过程，最终会得到具有多晶结构的硅通孔样品。

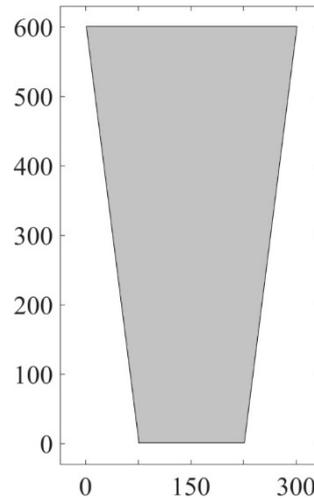
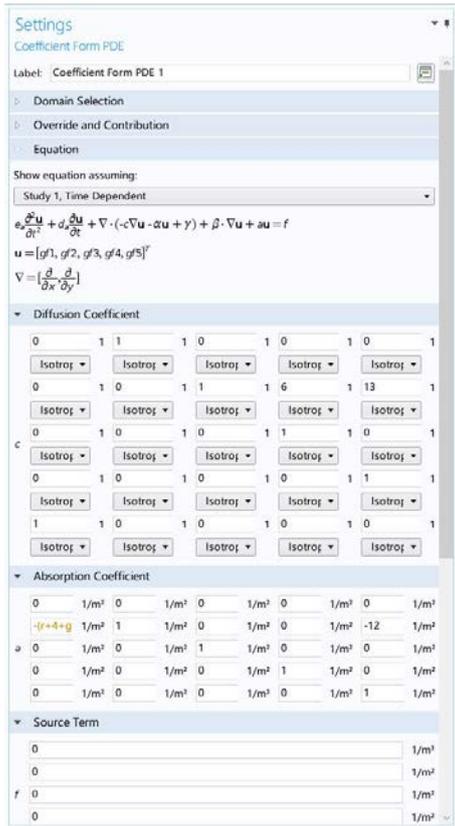
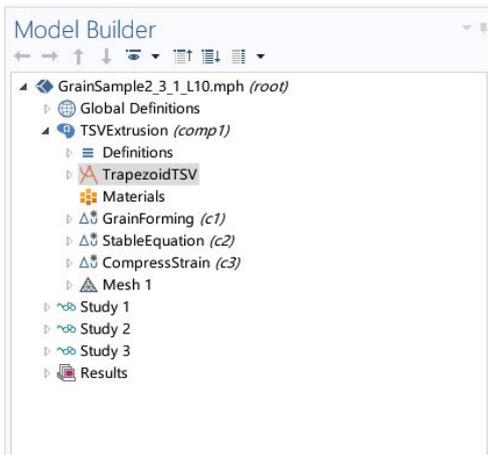


图 1. 硅通孔模型示意图，注意图中的长度都是无量纲的长度。



(a)



(b)

图 2. COMSOL Multiphysics 模型示意图: (a) 对高阶非线性偏微分方程进行降阶; (b) 模型的具体设置。

实验结果

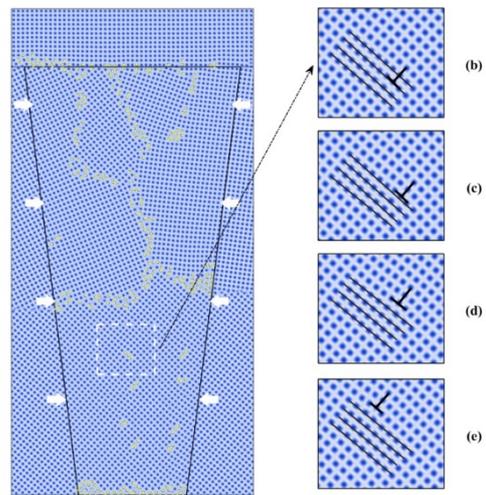
1. 压缩应变的施加

为了施加压缩应变,对硅通孔样品的配置进行了相应的更改,系统的配置如图 3a 所示。图中黑色实线框中所示为梯形硅通孔样品,在其左右边界有

外加的原子层,通过式(2)的“惩罚项”,控制这一区域内的原子沿特定方向运动,从而对多晶样品施加压缩应变,如图 3a 所示意。所施加的应变是均匀的,也即是说在同一个边界上,应变速率与方向都是相同的。此外,硅通孔的上边界也放置了一个零取向的晶粒,作为硅通孔的“覆盖层”,同时也可以用来显示硅通孔发生凸起的情况。

对样品施加压缩应变能观察到位错的滑移与攀移运动,如图 3 所示。由图 3b 和 c 可以看出,从 $t = 7000$ 到 $t = 8000$,图中所标出的位错向上攀移了一个原子层的距离。而图 3d 和 e 展示了位错的滑移运动,在 $t = 15000$ 到 $t = 16000$ 时间段内,位错沿着 $\langle 01 \rangle$ 晶向滑移了三个原子层的距离。

在压缩应变的作用下,硅通孔样品会产生凸起现象,如图 4 所示,白色虚线勾画出凸起的形貌。



(a)

图 3. 在压缩应变作用下,硅通孔样品中位错的运动: (b) $t = 7000$, (c) $t = 8000$, (d) $t = 15000$, (e) $t = 16000$ 。其中,施加压缩应变示意图如白色箭头所标示。而插图中的白色实线标记出不同时刻下四个相同的原子平面。

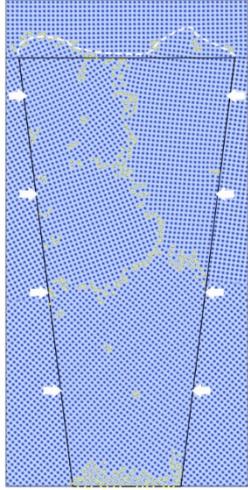


图 4. 硅通孔样品在压缩应变作用下的凸起，白色虚线勾勒出凸起的轮廓。

2. 拉伸应变的施加

在施加拉伸应变时，系统的几何配置施加压缩应变的配置相同，而与压缩的不同点在于，样品左右边界的外加原子层运动方向与压缩变形模拟相反，如图 5 所示。从图 5 可以看到，在拉伸应变的作用下，晶粒之间的间距被拉大，晶界的厚度增大，同时会在晶粒内部产生更多的缺陷。此外，对于样品中单个独立的位错，在拉伸应变与压缩应变的分别作用下，会具有相反的运动方向。另一个与压缩变形不同的点是，对比图 4 和图 5，对硅通孔样品施加拉伸应变至时刻 $t = 30000$ ，没有观察到凸起现象。

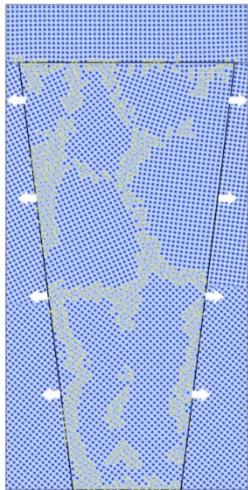


图 5. 硅通孔样品在拉伸应变作用下的变形行为，白色箭头为施加拉伸应变示意图。

3. 扩散蠕变模型

通过模拟结果发现，铜硅通孔内晶粒的变形可以使用扩散蠕变来进行描述。之前也有研究人员提到这一观点，J. Messersmaecker 等人使用扩散蠕变模型预测了凸起高度跟硅通孔直径的关系，发现与实验相吻合[18]。通常来说，扩散蠕变是通过原子或者空位的扩散来实现的，可以用以下关系式来描述[19]：

$$\dot{\epsilon} \propto C \left(\frac{1}{d}\right)^p \quad (5)$$

其中， $\dot{\epsilon}$ 是应变速率， C 是与应力相关的常数，而 d 是平均晶粒直径。而晶粒指数 p 是与扩散蠕变机制相关，或者说， $p = 2$ 代表了 Nabarro-Herring 蠕变，而 $p = 3$ 代表了 Coble 蠕变。

为了研究应变速率与晶粒尺寸的关系，改变硅通孔内部的晶粒尺寸，从 $5\text{nm} - 10\text{nm}$ 连续改变。然后，计算硅通孔的凸起速率，即应变速率。为了求得晶粒指数 p ，将式 (5) 两边求对数，可以得到 $\ln \dot{\epsilon}$ 与 $\ln(d^{-1})$ 成线性关系，且对应的斜率为晶粒指数 p 。结果展示如图 6 所示，将 $\ln \dot{\epsilon}$ 与 $\ln(d^{-1})$ 关系画出。

同时本文还改变了载荷，将其对应的关系也画出。这里改变载荷是通过改变式 (3) “惩罚项”中 \vec{v} 的方向，使之与水平方向成 θ 角度，比如图 3a 中白色箭头所标示代表 $\theta = 0^\circ$ 。通过拟合得到 $\theta = 0^\circ, 30^\circ, 60^\circ$ 三种载荷下，晶粒指数 p 分别为 2.24, 1.77, 2.29。这一指数表明，硅通孔的凸起机制包括 Coble 蠕变和 Nabarro-Herring 蠕变的共同作用。另外，这一指数也表明，原子或空位通过晶格扩散比通过晶界扩散造成的变形贡献大，也即是说，Nabarro-Herring 蠕变的贡献较 Coble 蠕变大。

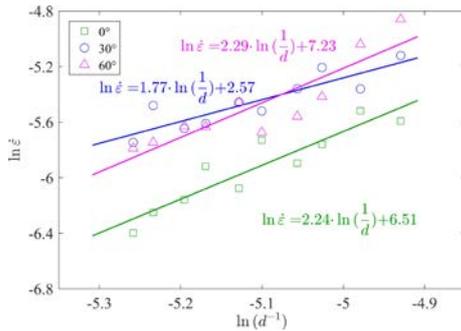


图 6. $\ln \dot{\varepsilon}$ 与 $\ln(d^{-1})$ 之间的关系。图中展示了三种类型的载荷, 即 $\theta = 0^\circ, 30^\circ, 60^\circ$ 。

结论

仿真结果表明, 硅通孔在外加压缩载荷的作用下产生凸起现象, 同时可观察到硅通孔内位错的滑移和攀移运动等现象。相反, 在外加拉伸载荷的作用, 没有观察到凸起现象。此外, 本文还使用扩散蠕变模型来解释铜硅通孔的凸起行为, 结果表明凸起的机制是 Coble 蠕变和 Nabarro-Herring 蠕变的共同作用, 而且 Nabarro-Herring 蠕变的贡献较 Coble 蠕变大。

致谢

本工作受到国家自然科学基金项目(51004118)、广州市珠江科技新星项目(2012J2200074)、广东省自然科学基金项目(2015A030312011)、珠海市宽禁带半导体电力电子技术重点实验室项目(20167612042080001)以及广州宇喜资讯科技有限公司合作项目(30000-73000465)的资助。

参考文献

[1] Arden W, Brillouët M, Coge P, Graef M, Huizing B, Mahkopf R. More-than-Moore white paper. Version, 2010,2:14.

[2] Lau JH. The Future of Interposer for Semiconductor IC Packaging. Chip Scale Rev, 2014,18(1):32-36.

[3] Lee C-C, Hung C, Cheung C, Yang P-F, Kao C-

L, Chen D-L, et al., editors. An Overview of the Development of a GPU with Integrated HBM on Silicon Interposer. Electronic Components and Technology Conference (ECTC), 2016 IEEE 66th, Las Vegas, NV, United states, May 31, 2016 - June 3, 2016: 1439-1444.

[4] Shen W-W, Chen K-N. Three-Dimensional Integrated Circuit (3D IC) Key Technology: Through-Silicon Via (TSV). Nanoscale Research Letters, 2017,12(1):56.

[5] Gambino JP, Adderly SA, Knickerbocker JU. An overview of through-silicon-via technology and manufacturing challenges. Microelectronic Engineering, 2015,135:73-106.

[6] Dutta I, Kumar P, Bakir M. Interface-related reliability challenges in 3-D interconnect systems with through-silicon vias. JOM, 2011,63(10):70.

[7] Kumar P, Dutta I, Bakir M. Interfacial effects during thermal cycling of Cu-filled through-silicon vias (TSV). Journal of Electronic Materials, 2012,41(2):322-335.

[8] Vogel D, Auerswald E, Auersperg J, Bayat P, Rodriguez RD, Zahn DR, et al. Stress analyses of high spatial resolution on TSV and BEoL structures. Microelectronics Reliability, 2014,54(9):1963-1968.

[9] Shin H-A-S, Kim B-J, Kim J-H, Hwang S-H, Budiman AS, Son H-Y, et al. Microstructure evolution and defect formation in Cu through-silicon vias (TSVs) during thermal annealing. Journal of Electronic Materials, 2012,41(4):712-719.

[10] Liu X, Thadesar PA, Taylor CL, Kunz M, Tamura N, Bakir MS, et al. Experimental Stress Characterization and Numerical Simulation for Copper Pumping Analysis of Through-Silicon Vias. IEEE Transactions on Components,

- Packaging and Manufacturing Technology, 2016,6(7):993-999.
- [11] Jiang T, Spinella L, Im J, Huang R, Ho PS. Processing Effect on Via Extrusion for Through-Silicon Vias (TSVs) in 3D Interconnects: A Comparative Study. IEEE Transactions on Device and Materials Reliability, 2016,16(4):465-469.
- [12] Jiang T, Im J, Huang R, Ho PS. Through-silicon via stress characteristics and reliability impact on 3D integrated circuits. MRS Bulletin, 2015,40(3):248-256.
- [13] Okoro C, Levine LE, Xu R, Obeng YS. Experimentally, how does Cu TSV diameter influence its stress state?. Electronic Components and Technology Conference (ECTC), 2015 IEEE 65th, San Diego, CA, United states, May 26, 2015 - May 29, 2015:54-58.
- [14] Elder K, Katakowski M, Haataja M, Grant M. Modeling elasticity in crystal growth. Physical review letters, 2002,88(24):245701.
- [15] Wu K-A, Adland A, Karma A. Phase-field-crystal model for fcc ordering. Physical review E, 2010,81(6):061601.
- [16] 高英俊, 罗志荣, 黄创高, 卢强华, 林葵. 晶体相场方法研究二维六角相向正方相结构转变. 物理学报, 2013(5):88-97.
- [17] Stefanovic P, Haataja M, Provatas N. Phase-field crystals with elastic interactions. Physical review letters, 2006,96(22):225504.
- [18] De Messemaeker J, Pedreira OV, Philipsen H, Beyne E, De Wolf I, Van der Donck T, et al. Correlation between Cu microstructure and TSV Cu pumping. Electronic Components and Technology Conference (ECTC), 2014 IEEE 64th, Orlando, FL, USA, 27-30 May 2014: 613-619.
- [19] J. Berry, J. Rottler, C.W. Sinclair, and N. Provatas, Atomistic study of diffusion-mediated plasticity and creep using phase field crystal methods. Physical Review B, 2015, 92:134103..